

## HALF TONE DISPLAY CIRCUIT FOR DISPLAY DEVICE

**Publication number:** JP7219494

**Publication date:** 1995-08-18

**Inventor:** NAKAJIMA MASAMICHI; KOBAYASHI MASAYUKI;  
KOSAKAI ASAO; ONODERA JUNICHI; DENDA ISATO

**Applicant:** FUJITSU GENERAL LTD

**Classification:**

- international: G09G3/20; G06T5/00; G09G3/28; G09G3/288;  
G09G5/00; G09G3/20; G06T5/00; G09G3/28;  
G09G5/00; (IPC1-7): G09G5/00; G06T5/00; G09G3/20;  
G09G3/28

- European:

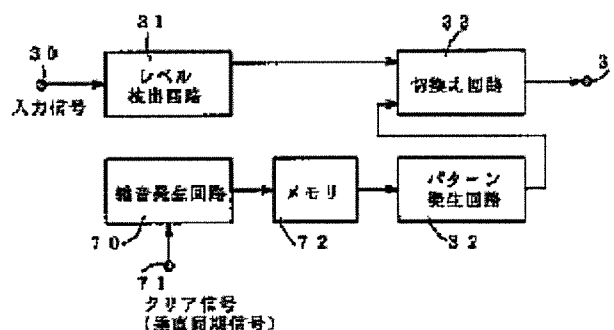
**Application number:** JP19940028915 19940201

**Priority number(s):** JP19940028915 19940201

Report a data error here

### Abstract of JP7219494

**PURPOSE:** To prevent an offensive pattern to the eye when the input signal of the same level is continued and smoothly express the gradation at a low level. **CONSTITUTION:** The patterns stored by varying the number of dots lighted in small-area blocks partitioned with a display screen into multiple (MXN) picture element units are selectively outputted in response to the quantized input signal level, and the number of luminance gradations smaller than that for the original signal is compensated by the pseudo half tone display to reproduce a smooth image in this display device. A random noise train of (k) bits is generated for each unit frame by a noise generating circuit 70, the output is stored in a memory 72 for each unit segment of M lines and N dots, and a pattern of MXN matrixes in random arrangement is generated by a pattern generating circuit 32 via the pseudo noise value of (k) dots. The pattern in random arrangement corresponding to the luminance level of the input signal detected by a level detecting circuit 31 is selectively outputted for each frame by a switching circuit 33, and the image background is made a grain-like structure.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-219494

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 5/00	5 2 0 J	9471-5G		
G 0 6 T 5/00				
G 0 9 G 3/20	K	9378-5G		
3/28	B	9378-5G		

G 0 6 F 15/ 68 3 2 0 A

審査請求 未請求 請求項の数4 F D (全 7 頁) 最終頁に続く

(21)出願番号 特願平6-28915

(22)出願日 平成6年(1994)2月1日

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72)発明者 小林 正幸

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72)発明者 小坂井 朝郎

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(74)代理人 弁理士 古澤 俊明 (外1名)

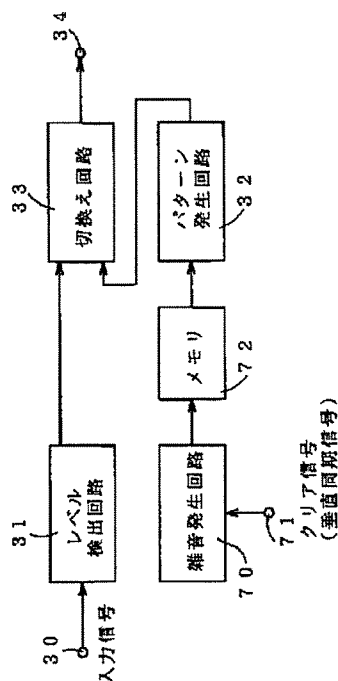
最終頁に続く

(54)【発明の名称】 ディスプレイ装置の中間調表示回路

(57)【要約】

【目的】 同一レベルの入力信号が連続しても目障りなパターンとならず、しかも低レベルでも滑らかな階調表現ができるようにしたものを得ること。

【構成】 表示画面を複数 (M×N) 画素単位で区分した小面積ブロック内で点灯するドット数を変えて記憶したパターンの中から、量子化されて入力した信号レベルに対応して選択出力することにより、原信号より少ない輝度階調数を擬似中間調表示により補って滑らかな画像を再現するようにしたディスプレイ装置において、雑音発生回路70でフレーム毎の単位でkビットのランダムな雑音列を発生し、その出力をMライン、Nドット区間単位でメモリ72に記憶させ、kドットの擬似雑音値によってパターン発生回路32からランダム配列のM×Nマトリックスのパターンを発生させる。レベル検出回路31で検出された入力信号の輝度レベルに対応するランダム配列のパターンが切換え回路33によってフレーム毎に選択出力し、画像背景を砂目状の構造とする。



1

## 【特許請求の範囲】

【請求項1】 表示画面を複数画素単位で区分した小面積ブロック内で点灯するドット数を変えて記憶したパターンの中から、量子化されて入力した信号レベルに対応して選択出力することにより、原信号より少ない輝度階調数を擬似中間調表示により補って滑らかな画像を再現するようにしたディスプレイ装置の中間調表示回路において、フレーム単位で擬似ランダムパルスが発生する雑音発生回路70と、この雑音発生回路70の出力によりドット数が略等しく、かつランダム配列のパターンを発生するパターン発生回路32と、このパターン発生回路32の出力から輝度レベルに対応したパターンを選択出力する切換え回路33とを具備してなることを特徴とするディスプレイ装置の中間調表示回路。

【請求項2】 表示画面を複数画素単位で区分した小面積ブロック内で点灯するドット数を変えて記憶したパターンの中から、量子化されて入力した信号レベルに対応して選択出力することにより、原信号より少ない輝度階調数を擬似中間調表示により補って滑らかな画像を再現するようにしたディスプレイ装置の中間調表示回路において、フレーム単位で擬似ランダムパルスが発生する雑音発生回路70と、この雑音発生回路70の出力によりドット数が略等しく、かつランダム配列のパターンを発生するパターン発生回路32と、このパターン発生回路32の出力から輝度レベルに対応したパターンを選択出力する切換え回路33とを具備し、前記雑音発生回路70は、原始多項式回路80からなることを特徴とするディスプレイ装置の中間調表示回路。

【請求項3】 表示画面を複数画素単位で区分した小面積ブロック内で点灯するドット数を変えて記憶したパターンの中から、量子化されて入力した信号レベルに対応して選択出力することにより、原信号より少ない輝度階調数を擬似中間調表示により補って滑らかな画像を再現するようにしたディスプレイ装置の中間調表示回路において、フレーム単位で擬似ランダムパルスが発生する雑音発生回路70と、この雑音発生回路70の出力によりドット数が略等しく、かつランダム配列のパターンを発生するパターン発生回路32と、このパターン発生回路32の出力から輝度レベルに対応したパターンを選択出力する切換え回路33とを具備し、前記雑音発生回路70は、M系列符号発生回路81からなることを特徴とするディスプレイ装置の中間調表示回路。

【請求項4】 表示画面を複数画素単位で区分した小面積ブロック内で点灯するドット数を変えて記憶したパターンの中から、量子化されて入力した信号レベルに対応して選択出力することにより、原信号より少ない輝度階調数を擬似中間調表示により補って滑らかな画像を再現するようにしたディスプレイ装置の中間調表示回路において、フレーム単位で擬似ランダムパルスが発生する雑音発生回路70と、この雑音発生回路70の出力により

2

ドット数が略等しく、かつランダム配列のパターンを発生するパターン発生回路32と、このパターン発生回路32の出力から輝度レベルに対応したパターンを選択出力する切換え回路33とを具備し、前記雑音発生回路70とパターン発生回路32の回路にメモリ72を設けたことを特徴とするディスプレイ装置の中間調表示回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、PDP、LCDなどのデジタル駆動方式のディスプレイ装置において、入力信号より少ない輝度階調数を擬似中間調表示によって補い、滑らかな画像を再現するための中間調表示回路に関するものである。

【0002】

【従来の技術】 最近、薄型、軽量の表示装置として、PDP（プラズマ・ディスプレイ・パネル）が注目されている。このPDPの駆動方式は、従来のCRT駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。PDPは基本的特性の異なるAC型とDC型の2方式に分けられるが、DC型PDPでは、すでに課題とされていた輝度と寿命について改善手法の報告があり、実用化へ向けて進展しつつある。

【0003】 これに対し、AC型PDPでは、輝度と寿命については十分な特性が得られているが、階調表示に関しては、試作レベルで最大64階調表示までの報告しかなかった。最近、アドレス・表示分離型駆動法（ADSサブフィールド法）による将来の256階調の手法が提案されている。このアドレス・表示分離型駆動法とは、nビットの入力データを1フレーム内でそれぞれのビットの重みの割合時間を一定輝度で点灯する方法である。この方法に使用されるPDP（プラズマ・ディスプレイ・パネル）10のパネル構造が図9に示され、駆動シーケンスと駆動波形が図10（a）（b）に示される。

【0004】 図9において、表示面側の表面ガラス基板11の下面に、対になるXサスティン電極12、Yサスティン電極13を透明電極と補助電極で形成する。補助電極は、透明電極の抵抗による電圧降下を防ぐため、バス電極23を透明電極の一部に形成する。これらXサスティン電極12、Yサスティン電極13の上に誘電体層14を設け、その上に各セル間の結合を分離するためにストライプ状リブ18を形成する。さらに、MgO膜からなる保護層15を蒸着する。対向する裏面ガラス基板16上には、アドレス電極17を形成する。アドレス電極17間にストライプ上のストライプ状リブ18を設け、さらにアドレス電極17を被覆するようにしてR（赤）蛍光体19、G（緑）蛍光体20、B（青）蛍光体21を塗分けて形成する。放電空間22には、Ne+

Xe混合ガスが封入される。

【0005】図10(a)において、1フレームは、輝度の相対比が1、2、4、8、16、32、64、128の8個のサブフィールドで構成され、8画面の輝度の組み合わせで256階調の表示を行う。図10(b)において、それぞれのサブフィールドは、リフレッシュした1画面分のデータの書き込みを行うアドレス期間とそのサブフィールドの輝度レベルを決めるサスティン期間で構成される。アドレス期間では、最初全画面同時に各ピクセルに初期的に壁電荷が形成され、その後サスティンパルスが全画面に与えられ表示を行う。サブフィールドの明るさはサスティンパルスの数に比例し、所定の輝度に設定される。このようにして256階調表示が実現される。

【0006】以上のようなデジタル映像入力信号を再生するディスプレイ装置において、入力信号より少ない輝度階調数を擬似中間調表示によって補い、滑らかな画像を再現するための中間調表示方法として組織的ディスプレイ法がある。これは、表示画面を複数(M×N)画素単位の小面積ブロック(マトリックス)内の点灯するドット

数を変え、小面積ブロックで擬似中間調を表現するものである。

【0007】図6、図7および図8によりさらに詳しく説明する。図6において、映像信号入力端子30に入力したnビットの入力信号がレベル検出回路31で輝度レベルが検出され、パターン発生回路32から発生する2のn乗個の階調パターンの中から切換え回路33で該当するパターンを選択し出力する。この図6は、2値画像表示の場合を示し、パターンは0か1の1ビットで構成されているため、入力nビットは1ビット(1輝度階調に相当する)の擬似中間調出力として出力される。

【0008】具体的には、4(M)×4(N)マトリックスの場合において、パターン発生回路32は、1/16～15/16までのレベルに応じた種々のパターンを発生する。例えば、図7において、

(a) レベル1パターンは、1/16レベルに対応し、

(b) レベル2パターンは、2/16レベルに対応し、

.....

(h) レベル8パターンは、8/16レベルに対応するものである。

ここで、映像信号入力端子30に8/16輝度レベルの信号が入力すると、レベル検出回路31でレベル検出され、パターン発生回路32から発生する階調パターンの中から図7(h)に示すようなレベル8のパターンを切換え回路33で選択し出力する。

【0009】

【発明が解決しようとする課題】以上のような従来方法において、映像信号入力端子30に同一輝度レベルの信号が連続して入力すると、画像に固定パターンの特有構造が現れ、目障りになるという問題があった。具体的に

は、図8(a)に示すように、8/16輝度レベルに対応するレベル8のパターンが連続すると、(b)のように、第1、第3、第5、第7の各行でパルス状の信号レベルとなり、第2、第4、第6、第8の各行でレベルが0となるので、レベル0の各行と各列が暗部となって格子状のラインが発生し、極めて目障りであるという問題があった。また、入力信号がドット単位で変化するとき、特に1/16、2/16、3/16、...という低輝度レベルではドットの隙間が多くなって滑らかな階調の表現がしにくいという問題があった。

【0010】本発明は、同一レベルの入力信号が連続しても目障りなパターンとならず、しかも低レベルでも滑らかな階調の表現ができるようにしたものを得ることを目的とするものである。

【0011】

【課題を解決するための手段】本発明は、表示画面を複数画素単位で区分した小面積ブロック内で点灯するドット数を変えて記憶したパターンの中から、量子化されて入力した信号レベルに対応して選択出力することにより、原信号より少ない輝度階調数を擬似中間調表示により補って滑らかな画像を再現するようにしたディスプレイ装置の中間調表示回路において、フレーム単位で擬似ランダムパルスを発生する雑音発生回路70と、この雑音発生回路70の出力によりドット数が略等しく、かつランダム配列のパターンを発生するパターン発生回路32と、このパターン発生回路32の出力から輝度レベルに対応したパターンを選択出力する切換え回路33とを具備してなることを特徴とするディスプレイ装置の中間調表示回路である。

【0012】

【作用】雑音発生回路70でフレーム毎の単位でkビットのランダムな雑音列を発生し、その出力をMライン、Nドット区間単位でメモリ72に記憶させ、kドットの擬似雑音値によってパターン発生回路32からランダム配列のM×Nマトリックスのパターンを発生させる。レベル検出回路31で検出された入力信号の輝度レベルに対応するパターンが切換え回路33によって選択されて、擬似中間調出力端子34にフレーム毎にランダム配列のパターンを出力する。このランダム配列のパターンを用いることにより、同一レベルの入力信号が連続しても画像背景を砂目状の構造とし、したがって、目障りなパターンとならず、しかも低レベルでも滑らかな階調の表現ができる。

【0013】

【実施例】以下、本発明の一実施例を図面に基づき説明する。本発明では、フレーム毎に画面上の同一個所に配置される複数(M×N)画素単位の小面積ブロック(マトリックス)内に、入力レベルに対応したドット数をランダムに配列することにより、画像背景を目障りにならない砂目状の構造とし、かつより滑らかに階調表現をし

ようとするものである。

【0014】具体的回路構成を図1により説明すると、映像信号入力端子30に入力したnビットの入力信号がレベル検出回路31で輝度レベルが検出され、パターン発生回路32から発生する2のn乗個の階調パターンの中から切換え回路33で該当するパターンを選択し出力する回路において、前記パターン発生回路32に、雑音発生回路70が、メモリ72を介して結合されている。また、前記雑音発生回路70には、クリア信号入力端子71が結合されている。

【0015】前記雑音発生回路70は、擬似ランダムパルス信号を発生するもので、一例として図2に示すような19次の原始多項式回路80で構成されている。この原始多項式回路80は、直列接続された19個の回路D<sub>0</sub>、D<sub>1</sub>、D<sub>2</sub>、…、D<sub>18</sub>と、3個の加算回路80a、80b、80cを主体に構成され、周期(2<sup>19</sup>-1)(即ち周期524,287)でH(例えば1)、L(例えば0)のランダムパルス信号をドットまたはライン単位のタイミングで出力するように構成されている。前記回路D<sub>0</sub>、D<sub>1</sub>、D<sub>2</sub>、…、D<sub>18</sub>は、それぞれフリップフロップ回路(例えばD-FF)で形成されている。ここで、周期524,287は、1周期の長さが単位パルス期間の524,287倍の長さ(期間)であることを表わしている。

【0016】この原始多項式回路80からの擬似ランダムパルス信号は、ある周期の繰り返しはもっているが、その周期が十分長い。したがって、ランダムパルス信号と見做せるものである。

【0017】前記雑音発生回路70は、原始多項式回路80で構成されるものに限るものではなく、ドットまたはライン単位のタイミングで擬似ランダムパルス信号を発生するものであればよい。例えば、図3に示すような、周期(2<sup>10</sup>-1)(すなわち周期1023)でランダムパルスを発生する10次のM系列符号発生回路81で構成するようにしてもよい。

【0018】このM系列符号発生回路81は、例えばスペクトル拡散のために用いるノイズ発生回路などに利用されているもので、10個の回路D<sub>0</sub>、D<sub>1</sub>、…、D<sub>9</sub>と1個の加算回路82とからなり、周期1023でランダムパルス信号が発生し、この周期内のH(例えば1)とL(例えば0)の出現回数は等しい。このため、1023期間で補正加算を行なったときのデータの総和と、補正加算を行なわないときのデータの総和とは等しくなり、画像データの補正加算量は±0である。前記回路D<sub>0</sub>、D<sub>1</sub>、…、D<sub>9</sub>はそれぞれフリップフロップ回路(例えばD-FF)で構成されている。

【0019】以上のような構成において、クリア信号入力端子71からクリア信号として垂直同期信号が雑音発生回路70に入力するので、雑音発生回路70では、フレーム毎の単位でkビットのランダムな雑音列を発生す

る。ここで、kは、2のx乗=M×Nを満たすxより小さな値で、具体的には、2のx乗=4(M)×4(N)とすると、x=4であるから、k≤4となる。前記雑音発生回路70の出力をMライン、Nドット区間単位でメモリ72に記憶させ、kドットの擬似雑音値によってパターン発生回路32からランダム配列のM×Nマトリックスのパターンを発生させる。

【0020】4×4マトリックスを例にすると、映像信号入力端子30に1/2輝度の信号が入力した場合、図3のように、レベル検出回路31でその輝度のレベルが検出され、この輝度レベル信号に対応するパターンが切換え回路33によって選択されて、擬似中間調出力端子34にフレーム毎にランダム配列のパターンを出力する。

【0021】このように、ランダム配列のパターンを用いることにより、同一レベルの入力信号が連続しても画像背景を砂目状の構造とし、したがって、目障りなパターンとならず、しかも低レベルでも滑らかな階調の表現ができる。

【0022】前記実施例では、雑音発生回路70の出力をメモリ72に記憶させ、これによりパターン発生回路32でランダム配列のパターンを発生させたが、図5に示すように、パターン発生回路32とメモリ72の配置を逆にし、雑音発生回路70の出力によりパターン発生回路32でランダム配列のパターンを発生させ、これをメモリ72に記憶するようにしてもよい。

【0023】

【発明の効果】

(1)ランダム配列のパターンを用いることにより、同一レベルの入力信号が連続しても画像背景を砂目状の構造とし、したがって、目障りなパターンとならない。

(2)目障りなパターンとならず、しかも低レベルでも滑らかな階調の表現ができる。

【図面の簡単な説明】

【図1】本発明によるディスプレイ装置の中間調表示回路の第1実施例を示すブロック図である。

【図2】図1における雑音発生回路70の具体的第1例を示すブロック図である。

【図3】図1における雑音発生回路70の具体的第2例を示すブロック図である。

【図4】図1の回路による擬似中間調表示の動作説明図である。

【図5】本発明によるディスプレイ装置の中間調表示回路の第2実施例を示すブロック図である。

【図6】従来のディスプレイ装置の中間調表示回路を示すブロック図である。

【図7】従来パターンの説明図である。

【図8】従来回路による擬似中間調表示の動作説明図である。

【図9】256階調の手法に使用されるPDPの斜視図

である。

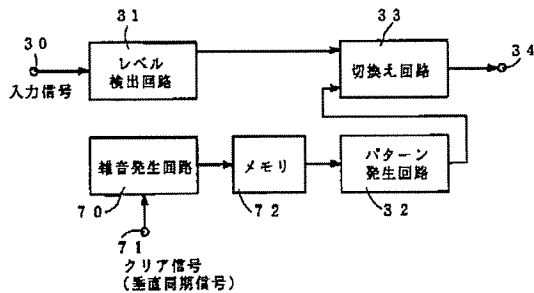
【図10】256階調の手法における駆動シーケンスと駆動波形図である。

【符号の説明】

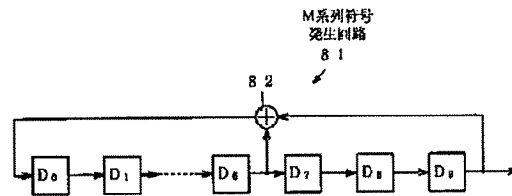
10…PDP（プラズマ・ディスプレイ・パネル）、11…表面ガラス基板、12…Xサスティン電極、13…Yサスティン電極、14…誘電体層、15…保護層、16…裏面ガラス基板、17…アドレス電極、18…スト

ライブ状リブ、19…R（赤）蛍光体、20…G（緑）蛍光体、21…B（青）蛍光体、22…放電空間、23…バス電極、30…映像信号入力端子、31…レベル検出回路、32…パターン発生回路、33…切換え回路、34…擬似中間調出力端子、70…雑音発生回路、71…クリア信号入力端子、72…メモリ、80…原始多項式回路、81…M系列符号発生回路。

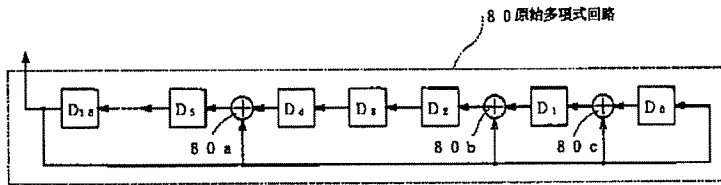
【図1】



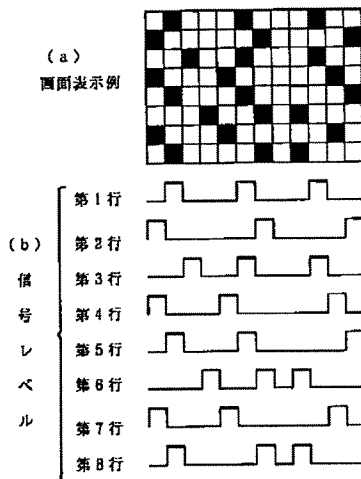
【図3】



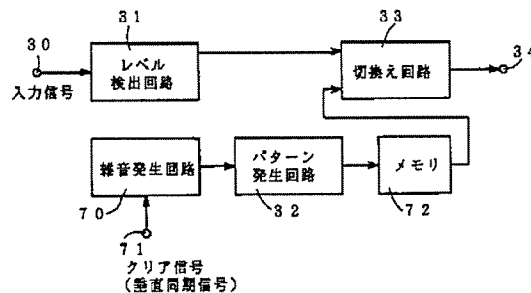
【図2】



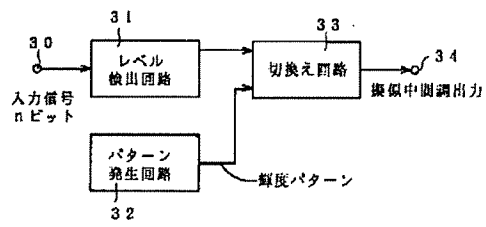
【図4】



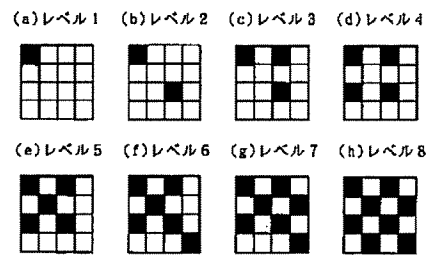
【図5】



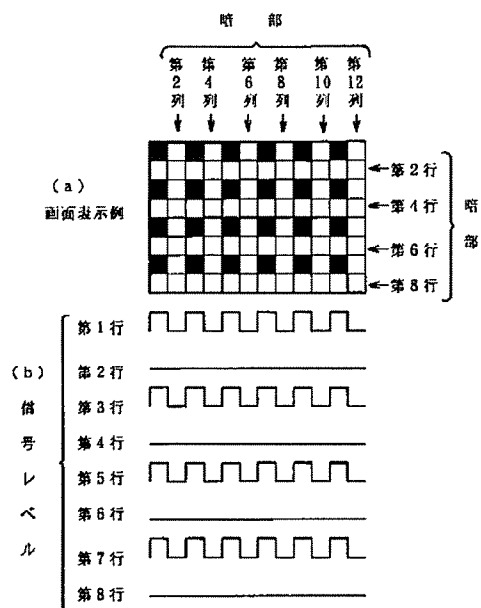
【図6】



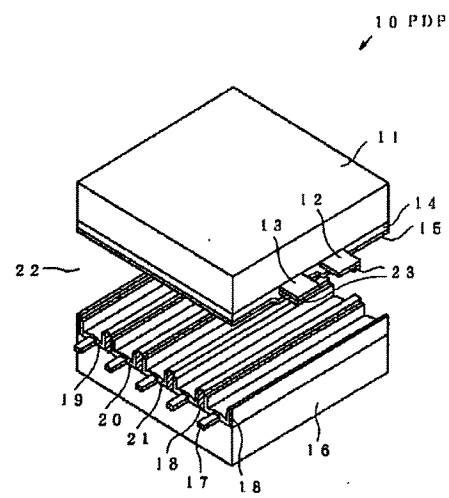
【図7】



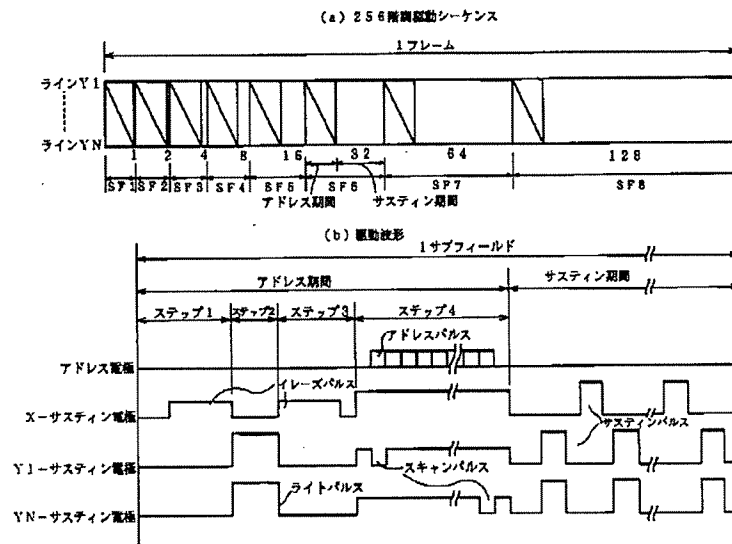
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. 6

G 0 9 G 3/28

識別記号

庁内整理番号

K 9378-5G

F I

技術表示箇所

(72) 発明者 小野寺 純一

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72) 発明者 傳田 勇人

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内